

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-122301

(43)Date of publication of application : 25.04.2003

(51)Int.Cl.

G09G 3/30

G09F 9/30

G09G 3/20

H05B 33/14

(21)Application number : 2001-312116

(71)Applicant : HITACHI LTD

(22)Date of filing : 10.10.2001

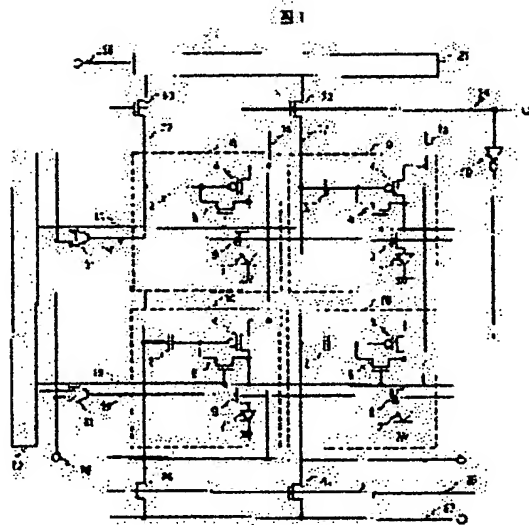
(72)Inventor : AKIMOTO HAJIME
MIKAMI YOSHIKI
KINUGAWA KIYOSHIGE
NISHITANI SHIGEYUKI
SHIBA TAKEO

(54) PICTURE DISPLAY DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a picture display device having an especially favorable animation display characteristic, and having sufficiently small dispersion in display characteristics among the pixels.

SOLUTION: In the picture display device wherein a light emission means is driven based on an analog display signal inputted to a pixel, each a light emission control switch for controlling to turning on or off the light emission means at one end of the emission driving means in each pixel.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision]

of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2003-122301

(P2003-122301A)

(43) 公開日 平成15年4月25日 (2003.4.25)

(51) Int.Cl. ⁷	識別記号	F I	テ-マ-コード (参考)
G 0 9 G 3/30		G 0 9 G 3/30	J 3 K 0 0 7
G 0 9 F 9/30	3 3 8	G 0 9 F 9/30	3 3 8 5 C 0 8 0
	3 6 5		3 6 5 Z 5 C 0 9 4
G 0 9 G 3/20	6 1 1	G 0 9 G 3/20	6 1 1 H
	6 2 4		6 2 4 B

審査請求 未請求 請求項の数28 O L (全 16 頁) 最終頁に続く

(21) 出願番号 特願2001-312116(P2001-312116)

(22) 出願日 平成13年10月10日 (2001.10.10)

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 秋元 肇

東京都国分寺市東恋ヶ窪一丁目280番地

株式会社日立製作所中央研究所内

(72) 発明者 三上 佳朗

茨城県日立市大みか町七丁目1番1号 株

式会社日立製作所日立研究所内

(74) 代理人 100075096

弁理士 作田 康夫

最終頁に続く

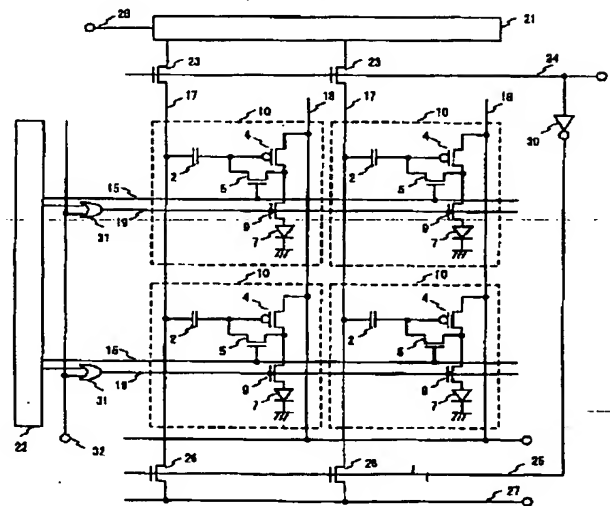
(54) 【発明の名称】 画像表示装置

(57) 【要約】

【課題】特に良好な動画表示特性を有し、かつまた画素間での表示特性ばらつきが十分に小さい画像表示装置を提供する。

【解決手段】 画素に入力されたアナログ表示信号を基に発光手段を駆動する画像表示装置において、各画素における発光駆動手段の一端に、発光手段の点灯ないし消灯を制御するための発光制御スイッチを設ける。

図 1



【特許請求の範囲】

【請求項 1】発光手段を有する複数の画素により構成された表示部と、

該画素領域にアナログ表示信号を入力するための信号線と、

該信号線を介して該画素に入力されたアナログ表示信号を基に、上記発光手段を駆動するための発光駆動手段を有する画像表示装置において、

該各画素における該発光駆動手段の一端に、発光手段の点灯ないし消灯を制御するための発光制御スイッチ手段を有することを特徴とする画像表示装置。

【請求項 2】上記発光制御スイッチ手段は、該発光駆動手段と該発光手段との間に設けられていることを特徴とする請求項 1 記載の画像表示装置。

【請求項 3】上記発光手段は、有機発光ダイオード(OLED, Organic Light Emitting Diode)素子であることを特徴とする請求項 1 記載の画像表示装置。

【請求項 4】上記発光駆動手段及び発光制御スイッチ手段は、多結晶 Si-TFT (Thin-Film-Transistor) を用いて透明基板上に設けられていることを特徴とする請求項 1 記載の画像表示装置。

【請求項 5】上記発光制御スイッチ手段は、全画素で同時にオン可能な構成を有することを特徴とする請求項 1 記載の画像表示装置。

【請求項 6】上記発光制御スイッチ手段は、該画素へのアナログ表示信号入力時にもオン可能な構成を有することを特徴とする請求項 5 記載の画像表示装置。

【請求項 7】上記発光制御スイッチ手段は、全画素で同時にオフ可能な構成を有することを特徴とする請求項 1 記載の画像表示装置。

【請求項 8】上記発光制御スイッチ手段は、該画素へのアナログ表示信号入力時にはオン可能な構成を有することを特徴とする請求項 7 記載の画像表示装置。

【請求項 9】上記発光制御スイッチ手段は、該画素へのアナログ表示信号入力時にオンし、これより所定の点灯時間が経過した後にオフすることが可能な構成を有することを特徴とする請求項 1 記載の画像表示装置。

【請求項 10】発光手段を有する複数の画素により構成された表示部と、

該画素領域にアナログ表示信号を入力するための信号線と、

該信号線を介して該画素に入力されたアナログ表示信号を基に、上記発光手段を駆動するための発光駆動手段を有する画像表示装置において、

該各画素に設けられた該発光駆動手段は電界効果トランジスタであり、

該信号線と該電界効果トランジスタのゲート電極は少なくとも一個の容量手段を介して接続されており、

該電界効果トランジスタのソースないしドレイン電極の一端はスイッチを介して電源手段に、他端は直接該発光

手段に接続されており、

該電界効果トランジスタのゲートには、該容量手段を介してアナログ表示信号と実質上の三角波のいずれかが印加可能である構成を有することを特徴とする画像表示装置。

【請求項 11】上記発光手段は、有機発光ダイオード(OLED, Organic Light Emitting Diode)素子であることを特徴とする請求項 10 記載の画像表示装置。

【請求項 12】上記発光駆動手段及び発光制御スイッチ手段は、多結晶 Si-TFT (Thin-Film-Transistor) を用いて透明基板上に設けられていることを特徴とする請求項 10 記載の画像表示装置。

【請求項 13】該電界効果トランジスタのゲート端子とドレイン端子間には第一のスイッチが設けられ、更にドレイン端子と該発光手段の間には第二のスイッチが設けられていることを特徴とする請求項 10 記載の画像表示装置。

【請求項 14】該電界効果トランジスタおよび第一のスイッチ、第二のスイッチは、全て p チャネル TFT であることを特徴とする請求項 13 記載の画像表示装置。

【請求項 15】該電界効果トランジスタおよび第一のスイッチ、第二のスイッチは、全て n チャネル TFT であることを特徴とする請求項 13 記載の画像表示装置。

【請求項 16】該電界効果トランジスタのゲート端子とドレイン端子間には第一のスイッチが設けられ、更にドレイン端子と該電源手段の間には第二のスイッチが設けられていることを特徴とする請求項 10 記載の画像表示装置。

【請求項 17】上記アナログ表示信号と実質上の三角波は、共に共通の D-A 変換器によって発生させたものであることを特徴とする請求項 10 記載の画像表示装置。

【請求項 18】上記 D-A 変換器は、多結晶 Si-TFT (Thin-Film-Transistor) を用いて構成されたものであることを特徴とする請求項 17 記載の画像表示装置。

【請求項 19】発光手段を有する複数の画素により構成された表示部と、
該画素領域にアナログ表示信号を入力するための信号線と、

該信号線を介して該画素に入力されたアナログ表示信号を基に、上記発光手段を駆動するための発光駆動手段を有する画像表示装置において、

該各画素に設けられた該発光駆動手段は電界効果トランジスタであり、

該信号線と該電界効果トランジスタのゲート電極は少なくとも一個の容量手段を介して接続されており、

該電界効果トランジスタのソースないしドレイン電極の一端は電源手段に、他端はスイッチを介して該発光手段に接続されており、

該電界効果トランジスタのゲートには、該容量手段を介してアナログ表示信号と実質上の三角波のいずれかが印

加可能である構成を有することを特徴とする画像表示装置。

【請求項 20】上記発光手段は、有機発光ダイオード(OLED, Organic Light Emitting Diode)素子であることを特徴とする請求項 19 記載の画像表示装置。

【請求項 21】上記発光駆動手段及び発光制御スイッチ手段は、多結晶Si-TFT(Thin-Film-Transistor)を用いて透明基板上に設けられていることを特徴とする請求項 19 記載の画像表示装置。

【請求項 22】該電界効果トランジスタのゲート端子とドレイン端子間には第一のスイッチが設けられ、更にドレイン端子と該発光手段の間には第二のスイッチが設けられていることを特徴とする請求項 19 記載の画像表示装置。

【請求項 23】該電界効果トランジスタおよび第一のスイッチ、第二のスイッチは、全て p チャネルTFTであることを特徴とする請求項 22 記載の画像表示装置。

【請求項 24】該電界効果トランジスタおよび第一のスイッチ、第二のスイッチは、全て n チャネルTFTであることを特徴とする請求項 22 記載の画像表示装置。

【請求項 25】該電界効果トランジスタのゲート端子とドレイン端子間には第一のスイッチが設けられ、更にドレイン端子と該電源手段の間には第二のスイッチが設けられていることを特徴とする、特許請求の範囲第 19 項記載の画像表示装置。

【請求項 26】上記アナログ表示信号と実質上の三角波は、共に共通のD-A変換器によって発生させたものであることを特徴とする請求項 19 記載の画像表示装置。

【請求項 27】上記D-A変換器は、多結晶Si-TFT(Thin-Film-Transistor)を用いて構成されたものであることを特徴とする請求項 26 記載の画像表示装置。

【請求項 28】発光手段を有する複数の画素により構成された表示部と、外部から取り込まれた表示信号を記憶し、更にそのデータ処理を行うことによってアナログ表示信号を形成する表示信号処理部と、該画素領域に該アナログ表示信号を入力するための信号線と、該信号線を介して該画素に入力されたアナログ表示信号を基に、上記発光手段を駆動するための発光駆動手段を有する画像表示装置において、該各画素における該発光駆動手段の一端に、発光手段の点灯ないし消灯を制御するための発光制御スイッチ手段を有することを特徴とする画像表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は高画質表示が可能な画像表示装置に係り、特に良好な動画表示特性を有しかつまた画素間での表示特性ばらつきが十分に小さい画像表示装置に関する。

【0002】

【従来の技術】以下に図 23 および図 24 を用いて、従来の技術に関して説明する。

【0003】図 23 は従来の技術を用いた、poly-Si TFT 発光表示デバイスの画素構成図である。画素発光体としての有機発光ダイオード(OLED, Organic Light Emitting Diode)素子 207 を有する画素 210 は、表示部にマトリクス状に配置されている。但し図 23 では図面の簡略化のため、単一の画素のみを記載している。画素 210 は選択線 211、データ線 217、電源線 218 等を介して外部の駆動回路に接続されている。各画素 210 においては、データ線 217 は入力 TFT 201 を介してキャンセルコンデンサ 202 に接続されており、キャンセルコンデンサ 202 の他端は駆動 TFT 204 のゲート、記憶コンデンサ 203、AZ スイッチ 205 の一端に入力されている。記憶コンデンサ 203 の他端と駆動 TFT 204 の一端は共通に電源線 218 に接続されている。また駆動 TFT 204 と AZ スイッチ 205 の他端とは、共通に AZB スイッチ 206 の一端に接続され、AZB スイッチ 206 の他端は OLED 素子 207 を介して共通電源に接続されている。なおここで、AZ スイッチ 205 と AZB スイッチ 206 は TFT で構成されており、これらのゲートはそれぞれ AZ 線 215 と AZB 線 216 に接続されている。以下、本従来例の動作を図 24 を用いて説明する。ここで図 24 には、画素への表示信号入力時におけるデータ 217、AZ スイッチ 205、AZB スイッチ 206、入力 TFT 201 の駆動波形が示されている。なお本画素は p チャネルの TFT で構成されているため、図 24 の駆動波形は、上(高電圧側)が TFT のオフ、下(低電圧側)が TFT のオンに対応する。

【0004】始めに図に記載したタイミング(1)では、入力 TFT 201 がオン、AZ スイッチ 205 がオン、AZB スイッチ 206 がターンオフしている。これによってデータ線 217 に入力されていたゼロレベルの信号電圧がキャンセルコンデンサ 202 の一端に入力されると同時に、AZ スイッチ 205 がオンすることによってダイオード接続された駆動 TFT 204 のゲート・ソース間電圧は、(電源線 218 の電圧 + V_{th}) にリセットされる。ここで V_{th} は駆動 TFT 204 のしきい値電圧である。この動作によって、画素はゼロレベルの信号電圧が入力した場合に駆動 TFT 204 のゲートが丁度しきい値電圧になるように、オートゼロバイアスされたことになる。

【0005】次に同図に記載したタイミング(2)では、AZ スイッチ 205 がオフ、データ線 217 に所定のアナログレベルの信号電圧が入力され、これによってキャンセルコンデンサ 202 の一端には所定レベルの信号電圧が入力される。この動作によって、駆動 TFT 204 のゲート電圧は上記オートゼロバイアス条件時に比べて、信号の所定レベルを加算した分だけ電圧が変化する。

【0006】次に図に記載したタイミング(3)では、入力 TFT 201 がオフ、AZB スイッチ 206 がオンする。これによって入力 TFT 201 のオンによって印加されていた所

定レベルの信号はキャンセルコンデンサ202に記憶される。この動作によって、駆動TFT204のゲートはしきい値電圧から信号の所定レベルを加算した分だけ電圧が変化した状態で固定され、更に駆動TFT 206によって駆動される信号電流が、入力した所定の信号電圧レベルに対応した輝度でOLED素子207を発光させる。このような従来技術に関しては、例えばDigest of Technical Papers, SID98, pp. 11-14等に詳しく記載されている。

【0007】

【発明が解決しようとする課題】上記従来技術では、特に良好な動画表示特性を有しかつまた画素間での表示特性ばらつきが十分に小さい画像表示装置を提供するのは困難であった。以下これに関して説明する。図23、24を用いて説明した従来例は、キャンセルコンデンサ202とAZスイッチ205、AZBスイッチ206の導入によって、駆動TFT 204の V_{th} ばらつきをキャンセルコンデンサ202の両端電圧に吸収することによって、輝度むらの発生を軽減したアナログ表示をOLED素子207において実現している。しかしながら本従来例では、良好な動画表示特性を実現することに関しては、何らの注意も払われていない。即ちOLED素子207の発光は、図24のタイミング

(3)の前に記したAZBスイッチ216のオンから開始され、次のフィールドでタイミング(1)の前に入力TFT201がオンするまで、ほぼ1フィールドの期間継続される。しかしこのような画像の表示方法に対しては、視覚特性上の残像効果によって連続する2フィールド分の画像を人間は視覚的に重ね合せて検知してしまい、いわゆるコマ送りのような不自然な動画像となってしまう。また前述のように上記従来例は駆動TFT 204の V_{th} ばらつきをキャンセルすることができるが、実際には駆動TFT 204の特性ばらつきは V_{th} ばらつきに限らない。本従来例ではOLED素子207の駆動電流は、駆動TFT 204の電流出力によって得られている。このことは例えば駆動TFT 204の V_{th} ばらつきをキャンセルすることができたとしても、駆動TFT 204に移動度のばらつき等に起因する電流駆動能力のばらつきがあれば、同様に画素毎に利得ばらつき様の輝度むらを生じてしまうことを意味している。一般にTFTは個々の素子間ばらつきが大きく、特に画素のように多数のTFTをつくり込んだ場合は、各素子間のばらつきを抑えることは非常に困難である。例えば低温poly-Si TFTの場合、数十%単位で移動度のばらつきが生じてしまうことが知られている。このため本従来例を持っても、このような画素間の表示特性ばらつきに起因する輝度むらの発生を、十分に小さくすることは困難であった。

【0008】

【課題を解決するための手段】動画像がコマ送りのような不自然な表示になってしまうという上記の課題は、発光手段を有する複数の画素により構成された表示部と、画素領域にアナログ表示信号を入力するための信号線

と、信号線を介して該画素に入力されたアナログ表示信号を基に、上記発光手段を駆動するための発光駆動手段を有する画像表示装置において、各画素における発光駆動手段と発光手段との間に、発光手段の点灯ないし消灯を制御するための発光制御スイッチ手段を設けることによって解決することができる。

【0009】上記発光制御スイッチ手段によれば、1フィールド内における発光手段の点灯時間を制御することで、隣接する2フィールド間に無発光期間を設けることが可能である。適当な無発光期間を設けることにより、人間の視覚特性上に存在していた残像効果はこの無発光期間の間に十分に減衰してしまうため、前述のように連続する2フィールド分の画像が視覚的にも重なることはなく、なめらかな動画像として表示することができるからである。

【0010】また画素間の表示特性ばらつきに起因する輝度むらの発生を十分に小さくすることが困難であるという上記の課題は、発光手段を有する複数の画素により構成された表示部と、画素領域にアナログ表示信号を入力するための信号線と、信号線を介して該画素に入力されたアナログ表示信号を基に、上記発光手段を駆動するための発光駆動手段を有する画像表示装置において、各画素に設けられた発光駆動手段は電界効果トランジスタであり、信号線と該電界効果トランジスタのゲート電極は少なくとも一個の容量手段を介して接続されており、電界効果トランジスタのソースないしドレイン電極の一端はスイッチを介して電源手段かつ他端は直接発光手段に接続されるか、或いは電界効果トランジスタのソースないしドレイン電極の一端は電源手段かつ他端はスイッチを介して発光手段に接続されており、電界効果トランジスタのゲートには、容量手段を介してアナログ表示信号と実質上の三角波のいずれかが印加可能である構成を設けることによって解決することができる。本構成によれば各画素の容量手段に書込まれたアナログ信号電圧の値によって発光手段の点灯期間を時間的に制御して階調表示を得ることができるため、発光手段の発光強度をアナログ的に制御して階調表示を得る上記従来例において問題であった画素間の表示特性ばらつきを十分に小さくすることができるからである。

【0011】

【発明の実施の形態】(第一の実施例)以下図1～図3を用いて、本発明の第一の実施例に関して説明する。始めに図1を用いて、本実施例の全体構成に関して述べる。

【0012】図1は本実施例であるOLED(Organic Light Emitting Diode)表示パネルの構成図である。画素発光体としてのOLED素子7を有する画素10が表示部にマトリクス状に配置され、画素10はリセット線15、信号線17、点灯スイッチ線19等を介して表示部周辺に設けられた駆動回路に接続されている。リセット線15はゲート駆動回

路22の走査出力に、信号線17は信号入力スイッチ23及び三角波入力スイッチ26を介してそれぞれ信号駆動回路21及び三角波入力線27に接続されている。信号駆動回路21にはアナログ電圧信号を入力する信号入力線28が接続されている。この信号駆動回路21の構成は、既に一般に良く知られているシフトレジスタとアナログスイッチで構成されるアナログ信号電圧分配回路であるので、ここではその詳細は省略する。ここで信号入力スイッチ23は信号選択線24によって、また三角波入力スイッチ26は信号選択線24のインバータ回路30の出力である反転信号選択線25によって二者択一的に制御される。また点灯スイッチ線19は点灯スイッチORゲート31から出力されており、点灯スイッチORゲート31にはゲート駆動回路22の走査出力及び点灯制御線32が入力している。このゲート駆動回路22の構成は、一般に良く知られているシフトレジスタ回路であるため、ここではその詳細な説明は省略する。なおここで画素10、ゲート駆動回路22、信号駆動回路21等の図1に示された各回路は全て、一般に良く知られている低温多結晶Si TFTを用いてガラス基板上に構成されている。また各画素10においては、信号線17は画素容量2を介してpチャネルMOSトランジスタであるOLED駆動TFT 4のゲートに入力されており、OLED駆動TFT 4のソースは電源線18に、OLED駆動TFT 4のドレインは点灯スイッチ線19で制御される点灯TFTスイッチ9を介してOLED素子7の一端に接続されている。なおOLED素子7の他端は共通接地されている。更にOLED駆動TFT 4のゲートとドレインの間には、リセット線15で制御されるリセットTFTスイッチ5が設けられている。

【0013】次に本実施例の動作を、図2及び図3を用いて説明する。

【0014】図2は本実施例の1フレーム期間内における、点灯制御線32及び信号選択線24の動作波形図である。本実施例では1/60秒に予め設定されている1フレーム期間は、前半の「書込み期間」と後半の「点灯期間」に分割されている。この分割比率は、例えば「書込み期間」と「点灯期間」で50%づつである。点灯制御線32は「書込み期間」ではオフしているが、「点灯期間」にはオンすることによって点灯スイッチ線19を介して全画素の点灯TFTスイッチ9を一斉にオン状態に固定する。また信号選択線24は「書込み期間」ではオン「点灯期間」にはオフすることによって、信号入力スイッチ23を「書込み期間」ではオン「点灯期間」にはオフ、三角波入力スイッチ26を「書込み期間」ではオフ「点灯期間」にはオンさせる。これによって信号線17には、「書込み期間」には信号駆動回路21を介してアナログ信号電圧が書込まれ、「点灯期間」には三角波入力線27を介して三角波電圧が書込まれる。

【0015】図3は各画素におけるリセットTFTスイッチ5、点灯TFTスイッチ9の駆動及び信号線17上のデータ

期間」に分けて示したものである。

【0016】1フレームの前半の「書込み期間」においては、ゲート駆動回路22が各画素行を順次走査し、これと同期して信号駆動回路21よりアナログ信号電圧が信号データとして信号線17に書込まれる。具体的にはまずゲート駆動回路22によって選択されたn行目の画素においては、始めに点灯TFTスイッチ9、続いてリセットTFTスイッチ5がオンする。ここで両スイッチがオンすることによってOLED駆動TFT 4はゲートとドレインが同電位のダイオード接続となるため、電源線18に予め所定の電圧を印加しておくことにより、OLED駆動TFT 4とOLED素子7は導通状態になる。次に点灯TFTスイッチ9がオフすると、OLED駆動TFT 4とOLED素子7は強制的に電流オフ状態になるが、このときOLED駆動TFT 4のゲートとドレインはリセットTFTスイッチ5で短絡されているため、画素容量2の一端でもあるOLED駆動TFT 4のゲート電圧は、電源線18の電圧よりしきい値電圧 (V_{th}) だけ低い電圧に自動的にリセットされる。なおこのとき画素容量2の他端には、信号線17データとしてアナログ信号電圧が入力している。次にリセットTFTスイッチ5がオフすると、画素容量2の両端の電位差はこのまま画素容量2に記憶される。即ち画素容量2の信号線17側にここで書込まれた上記アナログ信号電圧と等しい電圧が入力した際には、OLED駆動TFT4のゲート電圧は電源線18の電圧よりしきい値電圧 (V_{th}) だけ低い電圧に強制的に設定されることになる。このとき画素容量2の信号線17側に入力する電圧値が上記アナログ信号電圧よりも高ければOLED駆動TFT4はオフ状態であり、画素容量2の信号線17側に入力する電圧値が上記アナログ信号電圧よりも低ければOLED駆動TFT4はオン状態であることは明らかである。但し他の行の画素を走査している期間は、当該画素の点灯TFTスイッチ9は常時オフ状態であるから、信号線17データ電圧の高低にかかわらずOLED素子7が点灯することはない。さてアナログ信号電圧の画素への書込みはこのように行毎に順次行われ、全ての画素への書込みが終了した時点で1フレームの前半の「書込み期間」は終了する。

【0017】次に1フレームの後半の「点灯期間」においてはゲート駆動回路22は停止しており、点灯制御線32が点灯スイッチORゲート31と点灯スイッチ線19を介して、全画素の点灯TFTスイッチ9を一斉にオンさせる。このとき信号線17には信号線データとして、三角波入力線27から三角波入力スイッチ26を介し、図3に示すような三角波が入力される。前述したように各画素容量2は、信号線17の電圧が予め書込まれたアナログ信号電圧より高いか低いかにによって、OLED駆動TFT4がオンかオフするようにリセットされている。ここで「点灯期間」においては上記のように点灯TFTスイッチ9は常時オン状態にあるため、各画素のOLED素子7は予め書込まれたアナログ信号電圧と信号線17に印加される上記三角波の電圧関係によって、OLED駆動TFT4により駆動される。このときOL

ED駆動TFT4の電流駆動能力である相互コンダクタンス (gm) が十分に大きければ、OLED素子7は点灯/消灯とデジタル的に駆動されると見なすことができる。即ちOLED素子7は予め書込まれたアナログ信号電圧値に依存した期間だけ、ほぼ一定の輝度で連続点灯し、この発光時間の変調は、視覚的には多階調の発光として認められる。このことは例えばOLED駆動TFTの特性がばらついたとしても、基本的に何らの影響も受けることはない。ここで図3に示した三角波波形の振幅は、アナログ信号電圧の信号振幅とほぼ一致させることが望ましい。なお上記三角波の波形は、本発明の主旨を逸脱しない範囲で様々な変更が可能である。本実施例においては発光の時間軸重心が発光階調に依存しないように左右対象の三角波としたが、非対称の三角波や、ガンマ特性変調に相当する非直線の三角波、複数の三角波などを用いてそれぞれ異なる視覚特性を得ることも可能である。以上の本実施例によれば、1フィールド内における発光手段の点灯時間を「点灯期間」のみに制御することで、隣接する2フィールド間に無発光期間を設けることが可能である。本実施例はこれによりなめらかな動画像表示を可能としている。また本実施例によれば各画素の容量手段に書込まれたアナログ信号電圧の値によって発光手段の点灯期間を時間的にばらつきなく制御して階調表示を得ることができるため、画素間の表示特性ばらつきを十分に小さくすることができる。さて以上に述べた本実施例においては、本発明の主旨を損なわない範囲でいくつもの変更が可能である。例えば本実施例ではTFT基板としてガラス基板を用いたが、これを石英基板や透明プラスチック基板等の他の透明絶縁基板に変更することも可能であるし、またOLED素子7の発光を上面に取り出すようにすれば、不透明基板を用いることも可能である。或いは各TFTスイッチに関しても、本実施例では構成が簡単な単チャネルのアナログスイッチを用いたが、これらのアナログスイッチを例えばCMOS構成にすることも可能である。

また本実施例の説明においては、画素数やパネルサイズ等に関しては敢えて言及していない。これは本発明が特にこれらのスペックないしフォーマットに制限されるものではないためである。また今回は表示信号電圧をアナログ電圧としたが、これを例えば64階調 (6bit) のディスプレイな階調電圧とすることも容易であり、或いは信号電圧階調数も特に特定の値に制限されるものではない。またこのときは三角波の形状も、信号電圧階調に合わせてディスプレイにすることができる。またOLED素子7における共通端子の電圧を接地電圧としているが、この電圧値も所定の条件の下で変更可能であることは言うまでもない。

【0018】また本実施例ではゲート駆動回路22、信号駆動回路21等からなる周辺駆動回路は、低温多結晶Si TFT回路で構成している。しかしながらこれらの周辺駆動回路あるいはその一部分を単結晶LSI (Large Scale I

ntegrated circuit)回路で構成して実装することも、本発明の範囲内で可能である。

【0019】本実施例では、発光手段としてOLED素子7を用いることとした。しかしこれに代えてその他の無機ダイオードや蛍光体を含む一般の発光手段を用いても、本発明を実現することが可能であることは明らかである。

【0020】なおOLED素子7を赤、緑、青の3種類の色毎に作り分けてカラー化を実現する場合には、色バランスを取るために各OLED素子7の面積や、駆動電圧条件を変化させることが好ましい。ここで駆動電圧条件を変化させる場合、本実施例においては電源線18の印加電圧を色毎に変化させて調整することができる。この場合、配線の簡略化の観点からは、特に3色はストライプ配置することが望ましい。また本実施例で各OLED素子7の共通端子電圧を接地電圧としたことに對しても、OLED素子7の共通端子を赤、緑、青の3種類の色毎に作り分け、それぞれ適当な電圧で駆動することも可能である。更にこの駆動電圧を表示条件や表示の絵柄等によって適当に調整することで、色温度補正機能を実現することも可能である。

【0021】また本実施例においては「書込み期間」と「点灯期間」の時間比率を約50%づつとしたが、この比率もそれぞれの条件に応じて変更が可能である。例えば「点灯期間」を短くすれば動画の動きはより良好になるが、その分画面は暗くなり易い。これらの点を考慮して、例えば「点灯期間」は70%、30%、10%等に適宜設定すれば良い。以上の種々の変更等は、本実施例に限らず以下のその他の実施例においても、基本的に同様に適用可能である。

(第二の実施例) 以下図4、5を用いて、本発明の第二の実施例に関して説明する。図4は本第二の実施例における画素40の構成図である。本実施例の全体構成及び動作は、リセットTFTスイッチ41及び点灯TFTスイッチ42がpMOSトランジスタで構成されていることを除けば、基本的に第一の実施例のそれと同一である。従ってここでは全体構成及びその動作の記載は省略し、本実施例の特徴であるリセットTFTスイッチ41及び点灯TFTスイッチ42に関して以下説明する。図5(a)は上記リセットTFTスイッチ41の断面構造図、図5(b)はOLED駆動TFT 4及び点灯TFTスイッチ42の断面構造図である。第一の実施例で述べたように、いずれのTFTとも低温poly-Si TFTプロセスで形成されたものであり、ガラス基板50上にバッファ膜49を介して形成されたi (不純物非導入) 型poly-Si薄膜53にドレインまたはソース電極となるp+ (高濃度p型) 領域51, 55を形成し、ゲート絶縁膜48を介してゲート電極46を設けたものである。またゲート電極、ドレインまたはソース電極にはそれぞれ端子43, 44, 45を接続してある。但しここで図5(a)に示したリセットTFTスイッチ41と、図5(b)に示したOLED駆動TFT 4及び

点灯TFTスイッチ42の違いは、前者はゲート近傍のpoly-Si薄膜53にp-（低濃度p型）領域52, 54を形成した、いわゆるLDD（Lightly Doped Drain）トランジスタ構造を採用していることである。これはリセットTFTスイッチ41は画素容量2に蓄えられた信号に対応した電荷を保持する必要があるために、十分にオフ電流が低い必要がある半面、OLED駆動TFT 4はOLED素子7のオンオフ動作を急峻に行うために相互コンダクタンス(gm)を大きくするため、点灯TFTスイッチ42はOLED素子7駆動電流に対する寄生抵抗に起因する電圧降下のばらつきを見えなくするために敢えてLDD構造は採用していない。LDDトランジスタは、オフ時のリーク電流をより小さくできるという長所があるが、オン時の寄生抵抗が大きくなり、等価的に相互コンダクタンス(gm)が低下するというトレードオフを有するためである。本実施例では上記のように画素40がpMOSトランジスタのみで構成されているため、画素部のレイアウトが簡略化でき、高解像度化や高歩留り化を図ることができるという長所がある。更に必要に応じてLSI実装回路を用いることなどで画素周辺回路を構成するTFTも全てpMOSトランジスタで構成すれば、nMOSのTFTを形成しないことでプロセスの簡略化を図ることができ、より低価格化を図ることができる。但し本実施例ではリセットTFTスイッチ41及び点灯TFTスイッチ42がpMOSトランジスタであるため、両スイッチの駆動波形の正負の向きは第一の実施例のそれとは逆になることには注意が必要である。

（第三の実施例）以下図6を用いて、本発明の第三の実施例に関して説明する。図6は本第三の実施例における画素59の構成図である。本実施例の全体構成及び動作は、OLED駆動TFT60がnMOSトランジスタで構成されていること及びOLED素子61のカソードとアノードが逆向きに構成されていることを除けば、基本的に第一の実施例のそれと同一である。従ってここでは全体構成及びその動作の記載は省略し、本実施例の特徴であるOLED駆動TFT60及びOLED素子61に関して以下説明する。OLED素子61の対向電極62には電源線18よりも高い電圧が印加されているため、OLED駆動TFT60はソース側が電源線18に接続されていることに関しては第一の実施例と同様の回路接続になっている。但しOLED駆動TFT60はnMOSトランジスタであるため、アナログ信号電圧と三角波との上下関係は逆になり、三角波が予め書き込まれていたアナログ信号電圧よりも高電圧の時にOLED駆動TFT60はオンし、三角波が予め書き込まれていたアナログ信号電圧よりも低電圧の時にOLED駆動TFT60はオフする。従ってアナログ信号電圧の白黒の関係は反転するが、それ以外においては第一の実施例と同様である。本実施例では画素59がnMOSトランジスタのみで構成されているため、画素部のレイアウト簡略化でき、高解像度化や高歩留り化を図ることができるという長所がある。更に必要に応じてLSI実装回路を用いることなどで画素周辺回路を構成するTFT

も全てnMOSトランジスタで構成すれば、pMOSのTFTを形成しないことでプロセスの簡略化を図ることができ、より低価格化を図ることができる。

（第四の実施例）以下図7を用いて、本発明の第四の実施例に関して説明する。図7は本第四の実施例における画素66の構成図である。本実施例の全体構成及び動作は、OLED駆動TFT63がnMOSトランジスタで構成され、これに伴ってリセットTFTスイッチ64及び点灯TFTスイッチ65の位置が変更されていることを除けば、基本的に第一の実施例のそれと同一である。従ってここでは全体構成及びその動作の記載は省略し、本実施例の特徴であるOLED駆動TFT63、TFTスイッチ64及び点灯TFTスイッチ65に関して以下説明する。OLED駆動TFT63はnMOSトランジスタであるため、OLED素子7に接続する方がソース側になる。従って点灯TFTスイッチ65はOLED駆動TFT63と電源線18の間に設けられ、リセットTFTスイッチ64も図7に示したようにOLED素子7のない方のドレイン側に接続される。本実施例の場合は以上のように画素の構成は変わってくるが、基本的な動作は第三の実施例と同じであり、その長所も第三の実施例同様である。但し本実施例ではOLED素子7がOLED駆動TFT63のソース抵抗として作用してしまうため、他の実施例と比較すると、OLED駆動TFT63の特性ばらつきは見えやすくなる方向である。

（第五の実施例）以下図8及び図9を用いて、本発明の第五の実施例に関して説明する。

【0022】図8は本実施例であるOLED(Organic Light Emitting Diode)表示パネルの構成図である。本実施例の構成及び動作は、信号線17の上下に設けられていた信号入力スイッチ23、信号駆動回路21、三角波入力スイッチ26及び三角波入力線27がなく、これらに変えてデジタル信号入力線71を有する6bit-DA変換回路70が設けられていることを除けば、基本的に第一の実施例のそれと同一である。従ってここでも全体の構成及びその動作の記載は省略し、本実施例の特徴であるDA変換回路70を中心に以下に説明する。

【0023】図9は本実施例の1フレーム期間内における、点灯制御線32及びデジタル信号入力線71の動作波形図である。本実施例では1/60秒に予め設定されている1フレーム期間は、前半の「書込み期間」と後半の「点灯期間」に分割されている。点灯制御線32は「書込み期間」ではオフしているが、「点灯期間」にはオンすることによって点灯スイッチ線19を介して全画素の点灯TFTスイッチ9を一斉にオン状態に固定する。またデジタル信号入力線71には「書込み期間」にはデジタル画像データ、「点灯期間」には三角波データが入力する。これによって信号線17上にはDA変換回路70を介して、「書込み期間」にはアナログ信号電圧が出力され、「点灯期間」には三角波電圧が出力される。即ち本実施例においてはDA変換回路70を用いることによって、デジタル入力を可能にしているほか、信号入力スイッチ23及び三角波入力

スイッチ26の切替え操作等を不用にすることで、OLED表示パネルの駆動信号の簡素化も実現している。本実施例においては、DA変換回路70も低温poly-Si TFTを用いてガラス基板上に一体形成することで低コスト化を図っているが、上記DA変換回路70はLSIを実装することで実現することも可能である。後者の場合はLSIの部品や実装コストが必要になる一方、より高性能な8bit-DA変換回路等も容易に実現することができる。

(第六の実施例) 以下図10～図12を用いて、本発明の第六の実施例に関して説明する。始めに図10を用いて、本実施例の全体構成に関して述べる。

【0024】図10は本実施例であるOLED(Organic Light Emitting Diode)表示パネルの構成図である。画素発光体としてのOLED素子7を有する画素70が表示部にマトリクス状に配置され、画素70はリセット線78、信号線77、点灯スイッチ線79、入力スイッチ線83等を介して表示部周辺に設けられた駆動回路に接続されている。リセット線78及び入力スイッチ線83はゲート駆動回路82の走査出力に、信号線77は信号駆動回路81に接続されており、信号駆動回路81にはアナログ電圧信号を入力する信号入力線28が接続されている。この信号駆動回路81の構成は、一般に良く知られているシフトレジスタとアナログスイッチで構成されるアナログ信号電圧分配回路であるので、ここではその詳細は省略する。また点灯スイッチ線79は点灯スイッチORゲート80から出力されており、点灯スイッチORゲート80にはゲート駆動回路82の走査出力及び点灯制御線32が入力している。このゲート駆動回路82の構成は、一般に良く知られているシフトレジスタ回路であるため、ここではその詳細な説明は省略する。なおここで画素70、ゲート駆動回路82、信号駆動回路81等の図10に示された各回路は全て、一般に良く知られている低温多結晶Si TFTを用いてガラス基板上に構成されている。また各画素70においては、信号線77は入力スイッチ線83で制御される入力TFTスイッチ71と画素容量72を介してpチャネルMOSトランジスタであるOLED駆動TFT 74のゲートに入力されており、OLED駆動TFT 74のソースは電源線18に、OLED駆動TFT 74のドレインは点灯スイッチ線79で制御される点灯TFTスイッチ76を介してOLED素子7の一端に接続されている。なおOLED素子7の他端は共通接地されている。更にOLED駆動TFT 74のゲートとドレインの間には、リセット線78で制御されるリセットTFTスイッチ75が設けられ、OLED駆動TFT 74のゲートとソースの間には保持容量73が設けられている。

【0025】次に本実施例の動作を、図11及び図12を用いて説明する。

【0026】図11は本実施例の1フレーム期間内における、点灯制御線32の動作波形図である。本実施例では1/60秒に予め設定されている1フレーム期間は、前半の「書込み期間」と、後半の「休止期間」及びそれに続く「点灯期間」に分割されている。点灯制御線32は「書込

み期間」及び「休止期間」ではオフしているが、「点灯期間」にはオンすることによって点灯スイッチ線79を介して全画素の点灯TFTスイッチ76を一斉にオン状態に固定する。また「書込み期間」にはゲート駆動回路82によりリセット線78、点灯スイッチ線79及び入力スイッチ線83が走査されると共に信号線77にはアナログ信号電圧が順次入力され、「休止期間」及び「点灯期間」にはゲート駆動回路82は休止すると共に信号線77への信号入力も休止する。

10 【0027】図12は各画素におけるリセットTFTスイッチ75、点灯TFTスイッチ76、入力TFTスイッチ71の駆動及び信号線77上のデータ入力の様子を、「1. 書込み期間」及び「2. 休止期間及び点灯期間」に分けて示したものである。

15 【0028】1フレームの前半の「書込み期間」においては、ゲート駆動回路82が各画素行を順次走査し、これと同期して信号駆動回路81よりアナログ信号電圧が信号データとして信号線77に書込まれる。具体的にはゲート駆動回路82によって選択されたn行目の画素において、始めに点灯TFTスイッチ76及び入力TFTスイッチ71、続いてリセットTFTスイッチ75がオンする。これらのスイッチがオンすることによってOLED駆動TFT 74はゲートとドレインが同電位のダイオード接続となるため、電源線18に予め所定の電圧を印加しておくことにより、OLED駆動TFT 74とOLED素子7は導通状態になる。次に点灯TFTスイッチ76がオフすると(タイミング(1))、OLED駆動TFT 74とOLED素子7は強制的に電流オフ状態になるが、このときOLED駆動TFT 74のゲートとドレインはリセットTFTスイッチ75で短絡されているため、画素容量72の一端でもあるOLED駆動TFT 74のゲート電圧は、電源線18の電圧よりしきい値電圧(V_{th})だけ低い電圧に自動的にリセットされる。なおこのとき画素容量72の他端には、入力TFTスイッチ71を介して信号線77データとしてゼロ(基準)レベルのアナログ信号電圧が入力している。

35 【0029】次にリセットTFTスイッチ75がオフすると、画素容量72の両端の電位差はこのまま画素容量72に記憶される。次いで信号線77データとして所定のアナログ信号電圧が印加されると(タイミング(2))、画素容量72の両端の電圧はゼロ(基準)レベルのアナログ信号電圧と上記アナログ信号電圧の電圧差に相当する分だけシフトし、OLED駆動TFT 74のゲートにも先のリセット電圧より上記電圧差に相当する分だけシフトした電圧が印加され、この電圧は保持容量73によって保持される。この後入力TFTスイッチ71がオフし、信号線77データがゼロ(基準)レベルに戻って(タイミング(3)) n行目の画素行への信号書き込みが完了する。なおこの後、他の行の画素を走査している期間は、当該画素の点灯TFTスイッチ76は常時オフ状態であるから、OLED駆動TFT 74のゲートに書き込まれたアナログ信号電圧のレベルにかかわらずOLED素子7が点灯することはない。アナログ

信号電圧の画素への書込みはこのように行毎に順次行われ、全ての画素への書込みが終了した時点で1フレームの前半の「書込み期間」は終了する。

【0030】次いで1フレームの後半においてはゲート駆動回路82は停止する。「休止期間」においては図12に示した各スイッチはいずれもオフしており、特に画素の状態が変化することはない。続く「点灯期間」では点灯制御線32が点灯スイッチORゲート80と点灯スイッチ線79を介して、全画素の点灯TFTスイッチ76を一斉にオンさせる。このとき前述したようにOLED駆動TFT 74のゲートには各画素に書き込まれたアナログ信号電圧に対応した電圧が印加されているため、これに応じた信号電流が各画素のOLED素子7に流れて階調発光を行う。このときOLED駆動TFT4のしきい値電圧(V_{th})のばらつきはキャンセルされる。以上の本実施例によれば、1フィールド内における発光手段の点灯時間を「点灯期間」のみに制御することで、隣接する2フィールド間に無発光期間を設けることが可能である。本実施例はこれによりなめらかな動画像表示を可能としている。また新たに「休止期間」を設けたことによって、ゲート駆動回路82のクロック周波数を一定に保ったままで容易に「点灯期間」を可変にすることができる。本実施例では点灯制御線32のタイミング信号を調整するだけで、動画の視覚特性や視覚上の表示輝度を簡単に変更することが可能である。

(第七の実施例) 以下図13～図14を用いて、本発明の第七の実施例に関して説明する。始めに図13を用いて、本実施例の全体構成に関して述べる。

【0031】図13は本実施例であるOLED(Organic Light Emitting Diode)表示パネルの構成図である。画素発光体としてのOLED素子7を有する画素90が表示部にマトリクス状に配置され、画素90は信号線97、点灯スイッチ線99、入力スイッチ線103等を介して表示部周辺に設けられた駆動回路に接続されている。入力スイッチ線103はゲート駆動回路102の走査出力に、信号線97は信号駆動回路101に接続されており、信号駆動回路101にはアナログ電圧信号を入力する信号入力線28が接続されている。この信号駆動回路101の構成は、一般に良く知られているシフトレジスタとアナログスイッチで構成されるアナログ信号電圧分配回路であるので、ここではその詳細は省略する。また点灯スイッチ線99は点灯スイッチORゲート100から出力されており、点灯スイッチORゲート100にはゲート駆動回路102の走査出力及び点灯制御線32が入力している。このゲート駆動回路102の構成は、一般に良く知られているシフトレジスタ回路であるため、ここではその詳細な説明は省略する。なおここで画素90、ゲート駆動回路102、信号駆動回路101等の図13に示された各回路は全て、一般に良く知られている低温多結晶Si TFTを用いてガラス基板上に構成されている。また各画素90においては、信号線97は入力スイッチ線103で制御される入力TFTスイッチ91を介してpチャネルMOS

トランジスタであるOLED駆動TFT 94のゲートに入力されており、OLED駆動TFT 94のソースは電源線18に、OLED駆動TFT 94のドレインは点灯スイッチ線99で制御される点灯TFTスイッチ96を介してOLED素子7の一端に接続されている。なおOLED素子7の他端は共通接地されている。更にOLED駆動TFT 94のゲートとソースの間には保持容量93が設けられている。

【0032】次に本実施例の動作を、図14を用いて説明する。

【0033】図14各画素における点灯TFTスイッチ96、入力TFTスイッチ91の駆動及び信号線97上のデータ入力の様子を、「1. 書込み期間」及び「2. 点灯期間」に分けて示したものである。

【0034】1フレームの前半の「書込み期間」においては、ゲート駆動回路102が各画素行を順次走査し、これと同期して信号駆動回路101よりアナログ信号電圧が信号データとして信号線97に書込まれる。具体的にはゲート駆動回路102によって選択されたn行目の画素において、点灯TFTスイッチ96及び入力TFTスイッチ91がオンし、信号線97データとしてアナログ信号電圧が印加される。ここで電源線18に予め所定の電圧を印加しておくことにより、OLED駆動TFT 94とOLED素子7は導通状態となり、上記アナログ信号電圧に対応する輝度でOLED素子7は発光する。次に入力TFTスイッチ91がオフするとこのときのアナログ信号電圧は保持容量93に記憶され、次いで点灯TFTスイッチ96のオフによってOLED素子7の発光はすぐに停止する。なおこの後、他の行の画素を走査している期間は、当該画素の点灯TFTスイッチ96は常時オフ状態であるから、OLED駆動TFT 94のゲートに書き込まれたアナログ信号電圧のレベルにかかわらずOLED素子7が点灯することはない。アナログ信号電圧の画素への書込みはこのように行毎に順次行われ、全ての画素への書込みが終了した時点で1フレームの前半の「書込み期間」は終了する。

【0035】次いで1フレーム後半の「点灯期間」においては、ゲート駆動回路82は停止し、点灯制御線32が点灯スイッチORゲート100と点灯スイッチ線99を介して、全画素の点灯TFTスイッチ96を一斉にオンさせる。このとき前述したようにOLED駆動TFT 94のゲートには各画素に書き込まれたアナログ信号電圧が記憶されているため、これに応じた信号電流が各画素のOLED素子7に流れて階調発光を行う。

【0036】以上の本実施例によれば、1フィールド内における発光手段の点灯時間を「点灯期間」のみに制御することで、隣接する2フィールド間に無発光期間を設けることが可能である。本実施例はこれによりなめらかな動画像表示を可能としている。

(第八の実施例) 以下図15～図16を用いて、本発明の第八の実施例に関して説明する。始めに図15を用いて、本実施例の全体構成に関して述べる。

【0037】図15は本実施例であるOLED(Organic Light Emitting Diode)表示パネルの構成図である。画素発光体としてのOLED素子7を有する画素110が表示部にマトリクス状に配置され、画素110はリセット線118、信号線117、点灯スイッチ線119、入力スイッチ線123等を介して表示部周辺に設けられた駆動回路に接続されている。リセット線118及び入力スイッチ線123はゲート駆動回路122の走査出力に、信号線117は電流出力DA変換回路121に接続されており、電流出力DA変換回路121にはデジタル信号を入力するデジタル信号入力線29が接続されている。この電流出力DA変換回路121は、出力が階調電流であること以外は、一般の電圧出力DA変換回路と同様な構成である。また点灯スイッチ線119は全画素で共通に接続されている。ゲート駆動回路122の構成は、一般に良く知られているシフトレジスタ回路であるため、ここではその詳細な説明は省略する。なおここで画素110、ゲート駆動回路122、電流出力DA変換回路121等の図15に示された各回路は全て、一般に良く知られている低温多結晶Si TFTを用いてガラス基板上に構成されている。また各画素110においては、信号線117は入力スイッチ線123で制御される入力TFTスイッチ111を介してpチャネルMOSトランジスタであるOLED駆動TFT 114のドレインに入力されており、OLED駆動TFT 114のソースは電源線18に接続されている。またOLED駆動TFT 114のドレインは点灯スイッチ線119で制御される点灯TFTスイッチ116を介してOLED素子7の一端に接続されている。なおOLED素子7の他端は共通接地されている。更にOLED駆動TFT 114のゲートとドレインの間には、リセット線118で制御されるリセットTFTスイッチ115が設けられ、OLED駆動TFT 114のゲートとソースの間には保持容量113が設けられている。

【0038】次に本実施例の動作を、図16を用いて説明する。

【0039】図16は各画素におけるリセットTFTスイッチ115、点灯TFTスイッチ116、入力TFTスイッチ111の駆動及び信号線117上におけるデータ入力の様子を、

「1. 書き込み期間」及び「2. 点灯期間」に分けて示したものである。

【0040】1フレームの前半の「書き込み期間」においては、ゲート駆動回路122が各画素行を順次走査し、これと同期して電流出力DA変換回路121よりアナログ信号電流が信号データとして信号線117に書込まれる。具体的にはゲート駆動回路122によって選択されたn行目の画素において、入力TFTスイッチ111及びリセットTFTスイッチ115がオンする。これらのスイッチがオンすることによってOLED駆動TFT 114はゲートとドレインが同電位のダイオード接続となり、信号線117からOLED駆動TFT 114を経由して電源線18へと上記のアナログ信号電流が流れる。このときOLED駆動TFT 114のソース/ドレイン間には、上記アナログ信号電流に対応するゲート電圧

が生じることになり、次にリセットTFTスイッチ115がオフする際にこのアナログ信号電流に対応するゲート電圧が保持容量113に記憶される。この後信号線117上のアナログ信号電流及び入力TFTスイッチ111がオフすることでn行目の画素行への信号書き込みが完了する。なお本実施例においては上記「書き込み期間」の間常に点灯TFTスイッチ116はオフであるため、保持容量113すなわちOLED駆動TFT 114のゲートに書き込まれた電圧のレベルに如何にかかわらず、OLED素子7が点灯することはない。アナログ信号電圧の画素への書き込みはこのように行毎に順次行われ、全ての画素への書き込みが終了した時点で1フレームの前半の「書き込み期間」は終了する。

【0041】次いで1フレーム後半の「点灯期間」においては、ゲート駆動回路122は停止し、点灯スイッチ線119が全画素の点灯TFTスイッチ116を一斉にオンさせる。このとき前述したようにOLED駆動TFT 114のゲートには各画素に入力されたアナログ信号電流に対応するゲート電圧が保持容量113によって保持されているため、上記アナログ信号電流と等しい電流が各画素のOLED素子7に流れて階調発光を行う。このときOLED駆動TFT 114のばらつきはキャンセルされる。以上の本実施例によれば、1フィールド内における発光手段の点灯時間を「点灯期間」のみに制御することで、隣接する2フィールド間に無発光期間を設けることが可能である。本実施例はこれによりなめらかな動画像表示を可能としている。

(第九の実施例) 以下図17～図19を用いて、本発明の第九の実施例に関して説明する。本実施例の構成及び動作は、各画素134に設けられている点灯TFTスイッチ131が、点灯スイッチ線132を介して点灯スイッチANDゲート130から走査されている点を除けば、基本的に(第六の実施例)のそれと同一である。従ってここでは全体の構成及びその動作の記載は省略し、本実施例の特徴である点灯TFTスイッチ131を中心に以下に説明する。

【0042】図17は本実施例であるOLED(Organic Light Emitting Diode)表示パネルの構成図である。前述のように各画素134に設けられている点灯TFTスイッチ131は、点灯スイッチ線132を介して点灯スイッチANDゲート130に接続されている。またこの点灯スイッチANDゲート130には、ゲート駆動回路82の走査出力と点灯制御線133が入力している。

【0043】次に本実施例の動作に関して説明する。

【0044】図18は本実施例の1フレーム期間内における、点灯制御線133の動作波形図である。点灯制御線は前半の「書き込み期間」ではオン状態にあって所定の画素のOLED素子7を点灯させ、後半の「消灯期間」にはオフ状態になって各画素の点灯TFTスイッチ131をオフすることで全画素のOLED素子7を強制的に消灯させる。

【0045】図19は各画素におけるリセットTFTスイッチ75、点灯TFTスイッチ131、入力TFTスイッチ71の駆動及び信号線77上のデータ入力の様子を、「1. 書き込み

期間」及び「2. 消灯期間」に分けて示したものである。基本的な動作は前述の（第六の実施例）と同様であるが、書込み期間の当該行が選択されていない間は点灯 TFT スイッチ 131 は常時オンになっていることと、消灯期間中は点灯 TFT スイッチ 131 は常時オフであることが異なっている。本実施例はこれによって、1 フィールド内における発光手段の点灯に「消灯期間」を設けることで、隣接する 2 フィールド間に無発光期間を設けることが可能である。本実施例はこれによりなめらかな動画像表示を可能としている。

（第十の実施例）以下図 20、図 21 を用いて、本発明の第十の実施例に関して説明する。本実施例の構成及び動作は、各画素 144 に設けられている点灯 TFT スイッチ 141 が、点灯スイッチ線 142 を介して点灯スイッチ駆動回路 144 から走査されている点を除けば、基本的に（第六の実施例）のそれと同一である。従ってここでは全体の構成及びその動作の記載は省略し、本実施例の特徴である点灯 TFT スイッチ 141 を中心に以下に説明する。

【0046】図 20 は本実施例である OLED (Organic Light Emitting Diode) 表示パネルの構成図である。前述のように各画素 144 に設けられている点灯 TFT スイッチ 141 は、点灯スイッチ線 142 を介して点灯スイッチ駆動回路 144 に接続されている。従ってゲート駆動回路 143 はリセット線 78 及び入力スイッチ線 83 のみに接続されている。

【0047】次に本実施例の動作に関して説明する。

【0048】図 21 は本実施例の各画素行に対する、ゲート駆動回路 143 及び点灯スイッチ駆動回路 144 の走査の様子を模式的に示したものである。前述の（第六の実施例）と同様に、リセット TFT スイッチ 75、入力 TFT スイッチ、点灯 TFT スイッチ 76 はゲート駆動回路 143 及び点灯スイッチ駆動回路 144 によって 1 行目の画素行から最終行まで順次走査、駆動される。ここでゲート駆動回路 143 は 1 画素行毎にこの走査を行い、走査が 1 行目から最終行まで完了するまでの期間が 1 フレーム期間である。ところが点灯スイッチ駆動回路 144 の走査は、一旦点灯 TFT スイッチ 141 をオンしてから k 行遅れて点灯 TFT スイッチ 141 をオフする。これによって k 行分の走査に相当する時間が点灯期間として定義されるのである。

【0049】本実施例は以上のようにして、1 フィールド内における発光手段の点灯に対して、画素毎に「点灯期間」を設けることで、隣接する 2 フィールド間に無発光期間を設けることが可能である。本実施例はこれによりなめらかな動画像表示を可能としている。

（第十一の実施例）以下図 22 を用いて、本発明における第十一の実施例に関して説明する。図 22 は第十一の実施例である動画（デジタルテレビジョン）再生装置 150 の構成図である。無線ないし有線入力インターフェース回路 151 には、圧縮された画像データ等が外部から MPEG 規格に基づく動画データとして入力し、入力インターフェース回路 151 の出力は I/O (Input/Output) 回路 152

を介してデータバス 153 に接続される。データバス 153 にはこの他に MPEG 信号のデコードを行うマイクロプロセサ 154、DA 変換器を内蔵した表示パネルコントローラ 155、フレームメモリ 156 等が接続されている。更に表示パネルコントローラ 155 の出力は OLED 表示パネル 160 に入力しており、OLED 表示パネル 160 には画素マトリクス 161、ゲート駆動回路 22、信号駆動回路 21 等が設けられている。なお画像表示端末 150 には更に、三角波発生回路 162、二次電池 157 が設けられており、三角波発生回路 162 の出力もまた OLED 表示パネル 160 に入力している。なおここで OLED 表示パネル 160 は、先に述べた第一の実施例と同一の構成および動作を有しているため、その内部の構成及び動作の記載はここでは省略する。以下に本第十一の実施例の動作を説明する。始めに入力インターフェース回路 151 は命令に応じて圧縮された画像データを外部から取り込み、この画像データを I/O 回路 152 を介してマイクロプロセサ 154 及びフレームメモリ 156 に転送する。マイクロプロセサ 154 はユーザからの命令操作を受けて、必要に応じて動画再生装置 150 全体を駆動し、圧縮された画像データのデコードや信号処理、情報表示を行う。ここで信号処理された画像データは、必要に応じてフレームメモリ 156 に一時的に蓄積される。またマイクロプロセサ 154 が表示命令を出した場合には、その指示に従って必要に応じてフレームメモリ 156 から表示パネルコントローラ 155 を介して OLED 表示パネル 160 に画像データが入力され、画素マトリクス 161 は入力された画像データをリアルタイムで表示する。このとき表示パネルコントローラ 155 は、同時に画像を表示するために必要な所定のタイミングパルスを出力し、これと同期して三角波発生回路 162 は三角波状の画素駆動電圧を出力する。なお OLED 表示パネル 160 がこれらの信号を用いて、画素マトリクス 161 に 6 ビット画像データから生成された表示データをリアルタイムで表示することに関しては、第一の実施例で述べたとおりである。なおここで二次電池 157 は、動画再生装置 150 全体を駆動する電力を供給する。本実施例によれば、良好な動画像表示が可能であり、かつまた画素間での表示特性ばらつきが十分に小さい動画再生装置 150 を提供することができる。なお本実施例では画像表示デバイスとして、第一の実施例で説明した OLED 表示パネルを用いたが、これ以外のその他の本発明の実施例に記載されたような種々の表示パネルを用いることが可能であることは明らかである。

【0050】

【発明の効果】本発明によれば特に良好な動画表示特性を有し、かつまた画素間での表示特性ばらつきが十分に小さい画像表示装置を提供することができる。

【図面の簡単な説明】

【図 1】第一の実施例である OLED 表示パネルの構成図である。

【図 2】第一の実施例における点灯制御線及び信号選択

線動作波形図である。

【図 3】第一の実施例における各スイッチの駆動及び信号線上データ入力タイミング図である。

【図 4】第二の実施例における画素構成図である。

【図 5】第二の実施例における各スイッチの断面構造図である。

【図 6】第三の実施例における画素構成図である。

【図 7】第四の実施例における画素構成図である。

【図 8】第五の実施例である OLED 表示パネルの構成図である。

【図 9】第五の実施例における点灯制御線及びデジタル信号入力線動作波形図である。

【図 10】第六の実施例である OLED 表示パネルの構成図である。

【図 11】第六の実施例における点灯制御線の動作波形図である。

【図 12】第六の実施例における各スイッチの駆動及び信号線上データ入力タイミング図である。

【図 13】第七の実施例である OLED 表示パネルの構成図である。

【図 14】第七の実施例における各スイッチの駆動及び信号線上データ入力タイミング図である。

【図 15】第八の実施例である OLED 表示パネルの構成図

である。

【図 16】第八の実施例における各スイッチの駆動及び信号線上データ入力タイミング図である。

【図 17】第九の実施例である OLED 表示パネルの構成図である。

【図 18】第九の実施例における点灯制御線の動作波形図である。

【図 19】第九の実施例における各スイッチの駆動及び信号線上データ入力タイミング図である。

【図 20】第十の実施例である OLED 表示パネルの構成図である。

【図 21】第十の実施例におけるゲート駆動回路及び点灯スイッチ駆動回路の走査モード図である。

【図 22】第十一の実施例である動画再生装置の構成図である。

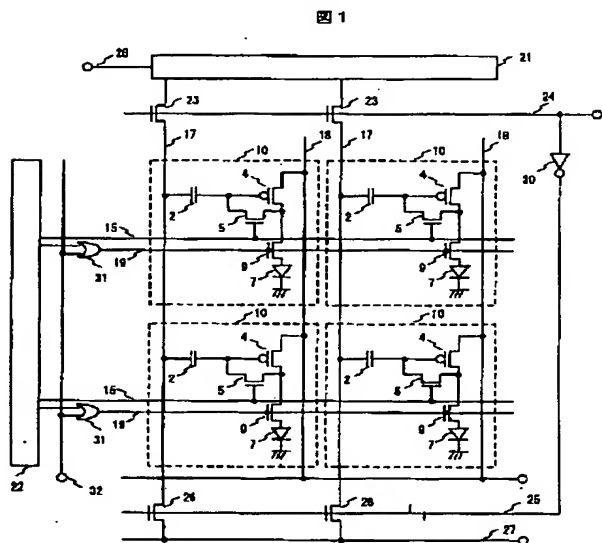
【図 23】従来の技術を用いた発光表示デバイスの画素構成図である。

【図 24】従来の技術を用いた発光表示デバイスの動作タイミング図である。

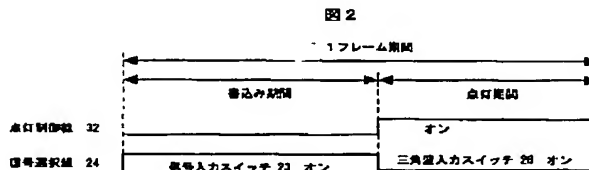
20 【符号の説明】

2…画素容量、4…OLED 駆動 TFT、5…リセット TFT スイッチ、7…OLED 素子、9…点灯 TFT スイッチ、10…画素、31…点灯スイッチ OR ゲート、32…点灯制御線。

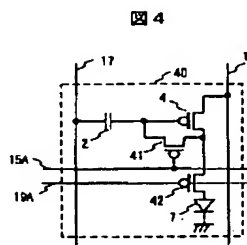
【図 1】



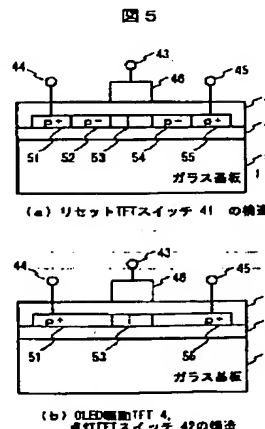
【図 2】



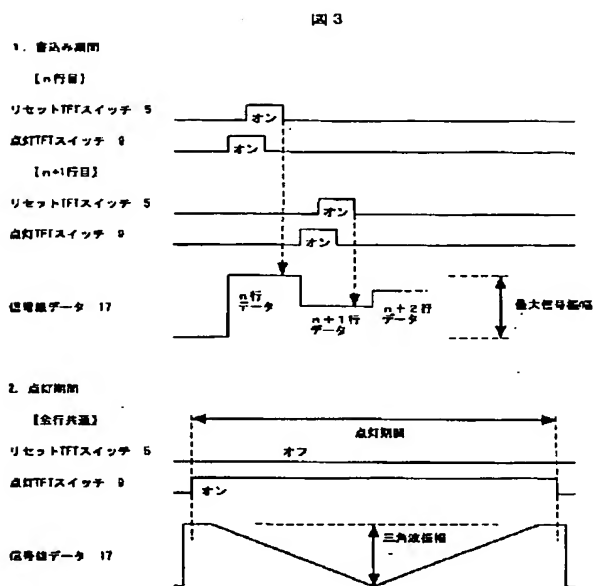
【図 4】



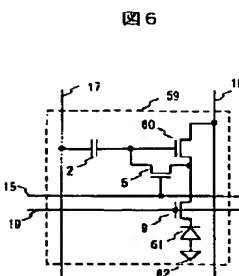
【図 5】



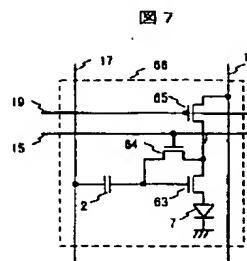
【図3】



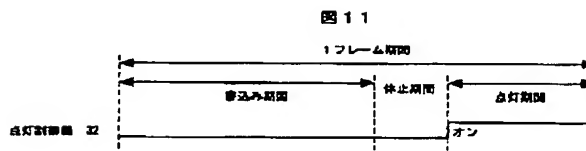
【図6】



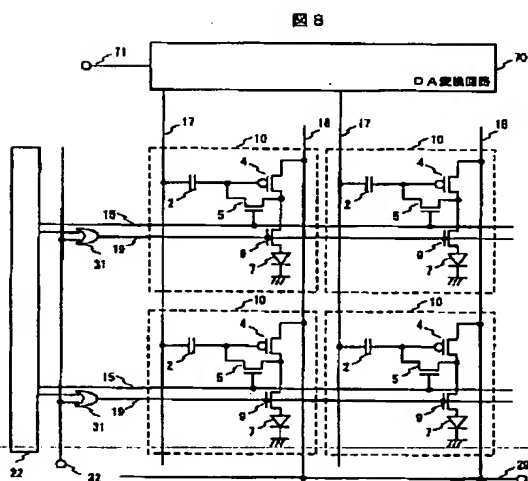
【図7】



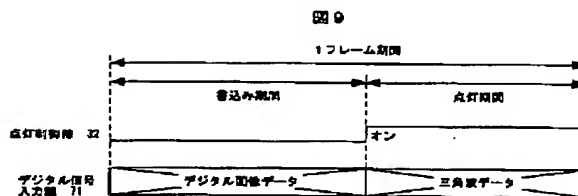
【図11】



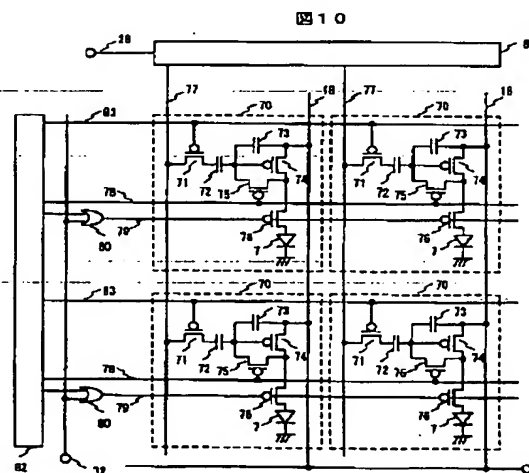
【図8】



【図9】

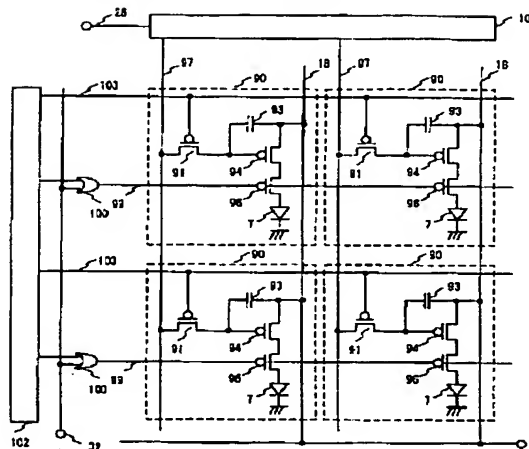


【図10】



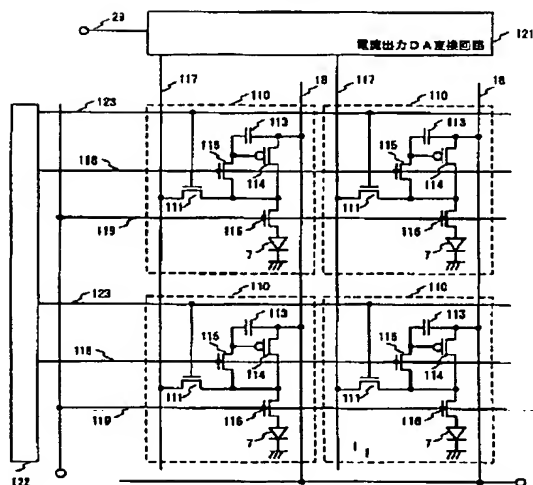
【図 13】

图 1-3

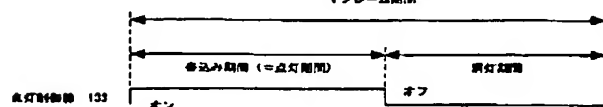


【図 15】

15

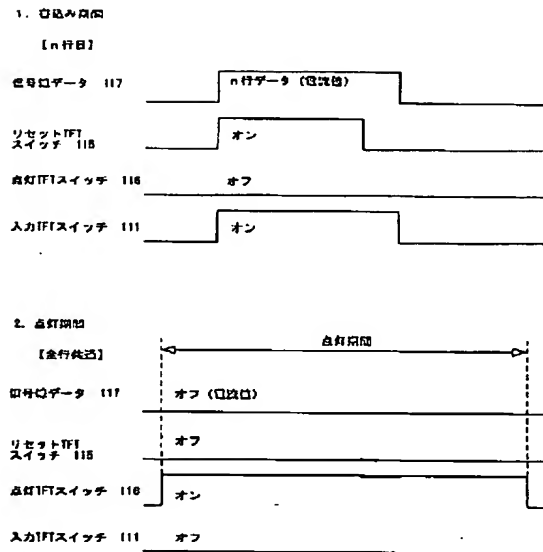


18



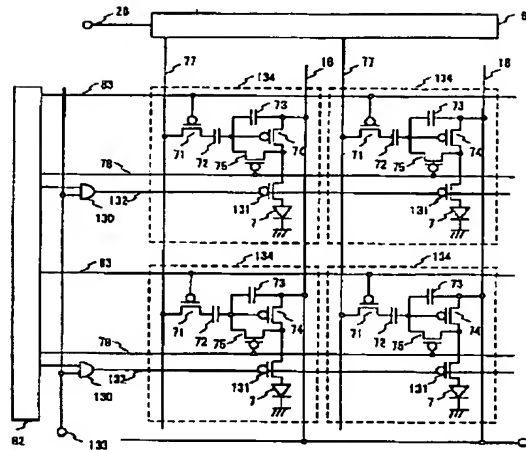
【図16】

図16



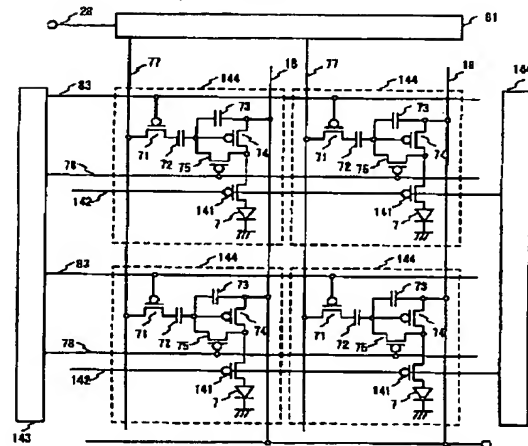
【図17】

図17



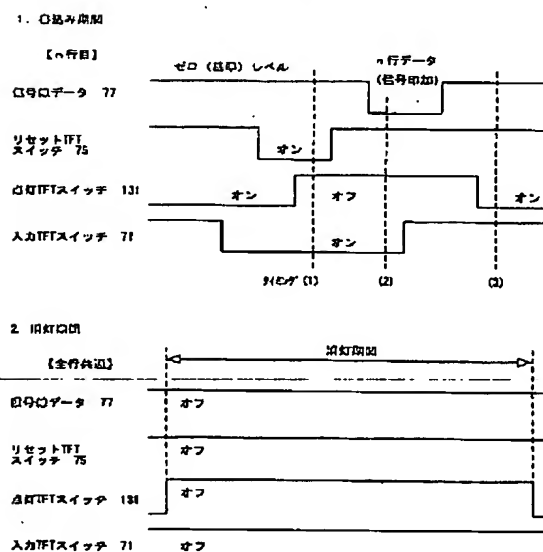
【図20】

図20



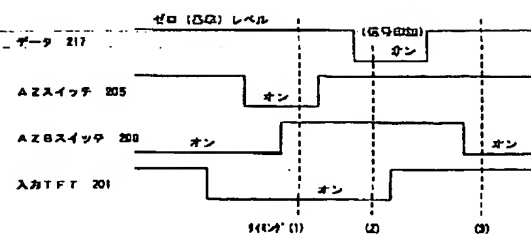
【図19】

図19

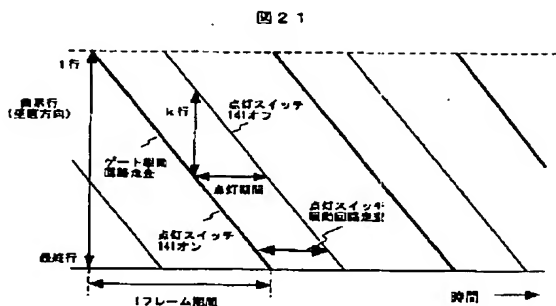


【図24】

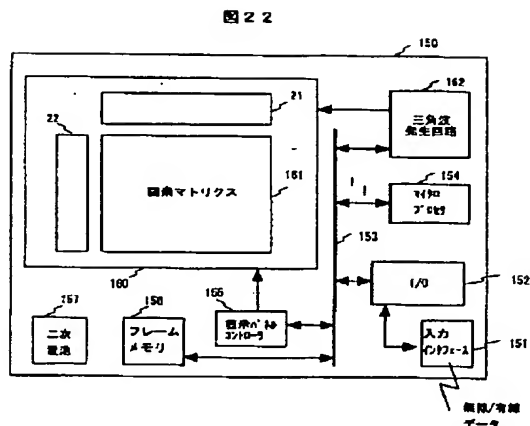
図24



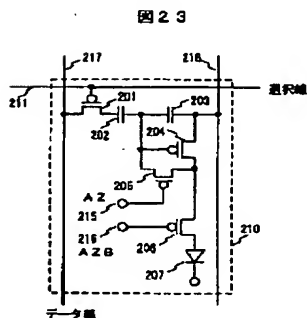
【図21】



【図22】



【図23】



フロントページの続き

(51) Int. Cl. 7	識別記号	F I	テーマコード* (参考)
G 0 9 G 3/20	6 4 2	G 0 9 G 3/20	6 4 2 A
	6 6 0		6 6 0 V
H 0 5 B 33/14		H 0 5 B 33/14	A
(72) 発明者 衣川 清重		F ターム (参考)	3K007 AB17 BA06 BB07 DA01 DB03
千葉県茂原市早野3300番地 株式会社日立			EB00 GA02 GA04
製作所ディスプレイグループ内			5C080 AA06 BB05 DD02 DD05 FF11
(72) 発明者 西谷 茂之	40		JJ02 JJ03 JJ04
千葉県茂原市早野3300番地 株式会社日立			5C094 AA02 AA13 AA51 AA53 AA56
製作所ディスプレイグループ内			BA03 BA27 CA19 DA09 DB01
(72) 発明者 芝 健夫			DB02 DB04 FB01 FB12 FB14
東京都国分寺市東恋ヶ窪一丁目280番地			FB15-FB20 GA10 HA08
株式会社日立製作所中央研究所内	45		